PAT-NO: JP360157238A

DOCUMENT-IDENTIFIER: JP 60157238 A

TITLE: MANUFACTURE OF POWER SEMICONDUCTOR

DEVICE

PUBN-DATE: August 17, 1985

INVENTOR-INFORMATION:

NAME

TAKAHAMA, SHINOBU

ASSIGNEE-INFORMATION:

NAME COUNTRY MITSUBISHI ELECTRIC CORP N/A

APPL-NO: JP59013718

APPL-DATE: January 25, 1984

INT-CL (IPC): H01L021/88

US-CL-CURRENT: 257/776, 438/100 , 438/FOR.364

ABSTRACT:

PURPOSE: To enable the multilevel and multilayer wiring among semiconductor elements by a method wherein the wire bonding system made by jumper connection electrodes or thick wires is introduced for the points of multilevel intersection of the wiring connections of the semiconductor elements.

CONSTITUTION: The section of wiring which needs multilayer wiring or intersecting wiring is put into the wiring of intersecting wirings by their mutual separation by means of jumper connection electrode

or wire bonding system. For example, a semiconductor element 6 and its electrode 3 are subjected to multilevel wiring connection by soldering a jumper connection electrode 7 to semiconductor elements 4 and 5. Otherwise, the semiconductor elements 5 and 6 are subjected to multilevel connection by the wire bonding system by means of thick Al wires 8 in place of the jumper connection electrode 7. This manner enables the increase in density of the wiring of an insulation substrate, thus contriving the increase in integration inside the titled device; then, at the same time, the miniaturization of the outer appearance and the reduction in weight is enabled.

COPYRIGHT: (C) 1985, JPO&Japio

69日本国特許庁(JP)

①特許出願公開

母 公 開 特 許 公 報 (A) 昭60-157238

@Int_Cl.4

識別記号

庁内整理番号

❸公開 昭和60年(1985)8月17日

H 01 L 21/88

6708-5F

審査請求 未請求 発明の数 1 (全2頁)

公発明の名称 電力用半導体装置の製造方法

倒特 顧 昭59-13718

会出 顧昭59(1984)1月25日

70 発 明 者 高 浜

忍 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所

内

卯出 顧 人 三菱電機株式会社

東京都千代田区丸の内2丁目2番3号

砂代 理 人 弁理士 大岩 増雄 外2名

明 超 書

1. 発明の名称

電力用半導体装置の製造方法

2. 特許請求の範囲

絶録基板上に、多層配線または交差する配線を 必要とする電力用学導体装置において、協配交差 する配線部分をジャンパー用装続電低またはワイ ヤボンディンダ方式により交差する配線を互いに 離隔して配線することを特徴とする電力用学導体 装置の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、電力用半導体装置の製造方法、特 に絶縁落板上に半田付けされた電力用半導体モジ ユールの接続配線方法の改良に関するものである。 〔 従来技術〕

従来の電力用半導体モジュールの製造方法として、電力用半導体モジュールのエレメントとなる 半導体素子と、この半導体素子を接続する配線の 例を第1図に示す。この図で、1は絶縁基板、2, 3 は半導体エレメント袋焼用の電板、4,5,6 は半導体エレメントである。すなわち、電力用半 導体モジュールの場合、高耐圧でしかも大容量の ため、電板2,3の電流容量および電板相互間の 距離を、通常の半導体装置に比べて十分大きく取 るの要がある。

そのため、現在、小電力用の半導体装置などで一般的に使用されている蒸着メッキ。印刷等によるメタライズ配線と絶縁材コーティング等の組合せによる多層配線技術は利用することができなかった。

したがつて、半導体エレメント6の周辺に、半 導体エレメント4 および5 を絶録基板1 上に配置 して配線接続するためには、第1 図に示すように 平面的に配置して立体的に交差する接続を回避する必要があつた。

とのように、智力用半導体モジュールにおいては、半導体エレメント4~6の配置が着しく制限され、しかも、小形・軽量化および条模化が非常に困難となつていた。

表现的 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000 · 1000

[発明の概要]

この発明は、従来方法のこのような欠点にかんがみ、半導体エレメントの配置接続が、立体的に 交差する個所にジャンパー用接続電極または太線 によるワイヤボンディング方式を導入することに より、半導体エレメント相互間の立体的および多 層配級を可能としたものである。

[発明の実施例]

以下、との発明の一実施例について取明する。 第2図はこの発明の一実施例を示すもので、半 導体エレメントをとその電極3K対して、ジャン パー用接続電極7を半導体エレメント4と5K半 田付けすることにより立体的な配無接続を行い、 電力用半導体モジュールの小形。軽量化を実施し たものである。

第3回はこの発明の他の奥地例を示すもので、 第2回の奥地例におけるジャンパー接続電低での 代りに、太銀のアルミワイヤ 8 をワイヤボンディ ング方式により半導体エレメント 5 と 6 を立体的 に接続したものである。

との発明の一実施例を示す実態配線を示す斜視図、 第3 図はとの発明の他の実施例を示す実態配線を 示す射視器である。

図中、1 は絶象当板、2 、3 は電極、4 、5 、 6 は半導体エレメント、7 はジャンパー用接続電 極、8 はアルミワイヤである。

なお、図中の同一符号は同一または相当部分を 示す。

代頭人 大岩 增雄 (外2名)

[発明の効果]

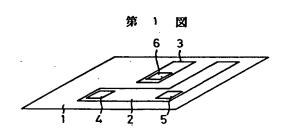
以上脱明したように、この発明は、多層配線または交差する配線を必要とする配線部分を、ジャンパー用接続電極またはワイヤボンディング方式により交差する配線を互いに離隔して配線したので、半導体エレメント相互の立体配線が可能となり、絶線基板上の半導体エレメントの配置に対する制限が大幅に緩和される。

また、半導体エレメント相互の立体配線が可能 となつたことにより、 絶縁基板の配線を高密度化 することができ、 電力用半導体装置内部の高集積 化が図れると同時に、外装の小形、軽量化が可能 となる。

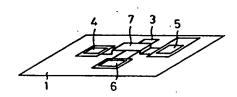
さらに、半導体エレメントの配置に対する制限 が大幅に緩和されたことにより、絶縁基板の共通 化が容易となり、量産化が可能となる等の利点が ある。

4. 図面の簡単な説明

第1図は従来の電力用半導体モジュールの半導体エレメントの実態配線を示す新視図、第2図は



第 2 図



第 3 図

